

M336-EP
11-7-81

Patent Abstracts of Japan

PUBLICATION NUMBER : 57172750
PUBLICATION DATE : 23-10-82

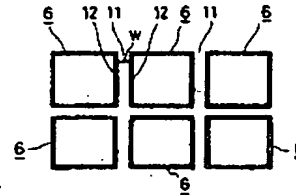
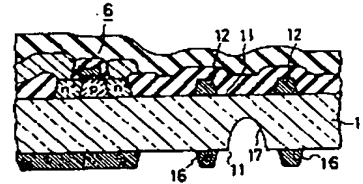
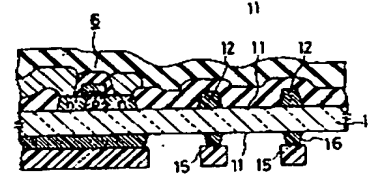
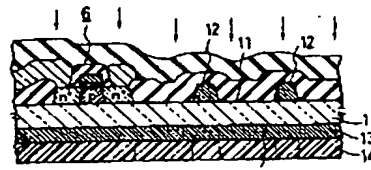
APPLICATION DATE : 16-04-81
APPLICATION NUMBER : 56057568

APPLICANT : TOSHIBA CORP;

INVENTOR : MAEGUCHI KENJI;

INT.CL. : H01L 21/78

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To reduce the width of scribing lines, by providing an opaque pattern of the scribing lines on a light transmitting film, irradiating light on a resist film on the back surface of the substrate from the upper surface of the substrate, and performing the scribing from the back surface of the substrate along the tranferred pattern.

CONSTITUTION: An FET 6 is provided on the sapphire substrate 1, an Si film pattern 12 is formed on both sides along the scribing lines 11, and a transparent CVD SiO₂ film 13 is formed on the back surface of the substrate up to about 3,000°. Then a positive resist film 14 is applied. The ultraviolet ray is irradiated from the upper side of the substrate 1 on which element region 6 is provided, and the pattern 12 is transferred to the back surface. Then the SiO₂ film 13 is etched with the transferred resist pattern 15 as a mask and the pattern 16 is formed. Then the resist 15 is removed, and the wafer is aligned by the pattern 16. Thereafter the scribing is performed along the pattern 16 in order to provide a groove 17 and the wafer is divided. In this method, the effect on the element is less, the width of the scribing lines can be largely reduced, and the high density can be implemented.

COPYRIGHT: (C)1982,JPO&Japio

92684
M336-EP

サ-フレボ-十

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-172750

⑬ Int. Cl.³
H 01 L 21/78

識別記号 庁内整理番号
7131-5F

⑭ 公開 昭和57年(1982)10月23日

発明の数 1
審査請求 未請求

(全 5 頁)

⑮ 半導体装置の製造方法

京芝浦電気株式会社総合研究所
内

⑯ 特 願 昭56-57568

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭56(1981)4月16日

川崎市幸区堀川町72番地

⑲ 発 明 者 前口賢二

⑳ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 透光性絶縁基板の素子を形成する表面に、スクライブラインに沿って不透明のスクライブラインパターンを形成する工程と、前記基板の裏面にレジスト膜を形成する工程と、基板表面より感光して不透明のスクライブラインパターンを基板裏面のレジスト膜に転写し、転写されたスクライブラインパターンを形成する工程と、この転写されたスクライブラインパターンに沿って基板裏面側からスクライピングする工程とからなることを特徴とする半導体装置の製造方法。

(2) 基板裏面に形成するレジスト膜を、パターンニング用の透明な下地層を介して設けたことを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明はスクライプ方法を改良した半導体装置の製造方法に関する。

一般に半導体装置は、基板としてシリコン基板(バルクシリコン)が多く用いられているが、近年、高速高密度化の傾向の中で、基板としてサファイヤなどの透光性絶縁基板を用いた半導体装置が注目されるようになって来た。

このような半導体装置として最も代表的なものは、第1図に示すSOS(Silicon on Sapphire)がある。この構造はサファイヤ基板1の表面にソース・ドレイン領域となるn⁺型半導体不純物膜2、2をp型半導体不純物膜3を隔てて形成し、更にこの表面にゲート絶縁膜4を介してゲート電極となる多結晶シリコンなどの半導体膜5を設けて、nチャネルトランジスタ素子領域6が形成されている。なお7は絶縁膜、8は金属配線層、9は拡散配線層、10は多結晶シリコン配線層10を夫々示す。

このSOS半導体装置は素子を形成する部分に

のみ、薄い半導体パターンを形成し、他のシリコン半導体部分を完全にエッチング除去して各素子領域6間の電気的分離を行なっている。このため従来多く用いられているバルクシリコン上に素子を形成した半導体装置と異なり、SOSでは各素子間の距離を縮めることができるため、高密度なLSIが得られ、しかも配線、ソース・ドレイン層と基板との間の容量が無視できるほど小さいため高速度をもつLSIが得られるという利点がある。特にCMOS LSIのようにpチャネルとnチャネルとを同一基板上に形成する構造^{とした場合}のものは、バルクシリコンを基板として用いたものは異導電型素子間の距離が、pウェル形成の製造プロセスと、ラッチアップという電気的特性からの制約を受けて縮めることができないのに対して、SOSの場合には異導電型素子間の距離を加工限界まで近づけ高密度化を図ることができる。

また半導体装置の製造においては、ウェハ上に多数の素子を同時に形成した後、各素子をス

- 3 -

もダイヤモンドポイントの摩耗も大きいので製造コストも高くなる。同様にブレードカッターを用いた場合も、サファイヤ基板が硬いことからチップングを起し易く、スクライプライン幅を大きくとる必要がある。

このような問題を改善するため、SOSではレーザースクライブが検討されている。レーザースクライブではウェハをチップに歩留りよく分割するのに必要な100μm以上の切り込み深さを得ようとする、切り込み幅が大きくなってしまい、また深く切り込みを入れるためにパワーを上げると熱発生が大きく周辺素子への熱影響が問題となる。このためSOSではレーザースクライブによってスクライプライン幅をダイヤモンドスクライブやブレードスクライブの場合よりも狭めることはできるが、バルクシリコンと同程度まで狭めることは困難であった。

本発明は、上記欠点を除去し、ウェハの裏面よりスクライピングすることにより、素子への影響を少なくしてスクライプライン幅を大幅に

- 5 -

スクライピングして多数チップに分離することが行なわれる。

このスクライピングは、従来ダイヤモンドポイントやブレードカッターによって行なっている。最近ではブレード技術の進歩によって、そのブレード刃の厚さも数十μmという極薄ブレードも開発され、スクライピングに要するチップ間の距離(以下スクライプライン幅という)は小さくなり、現在の標準のスクライプライン幅は80~100μm程度である。バルクシリコンの場合には、ダイヤモンドポイントやブレードカッターによって容易にスクライプすることができるので、比較的スクライプライン幅を小さくすることができる。

しかしながらSOSでは、基板がサファイヤで硬いためダイヤモンドポイントによるスクライプ時にチップング(切り込みとともに発生するサファイヤの破損)が発生し易いためバルクシリコンよりもスクライプライン幅を大きくとって素子への影響を防止しなければならない、しか

- 4 -

縮小させ、高密度、高速化を可能にした半導体装置の製造方法を提供するものである。

即ち本発明方法は透光性絶縁基板の素子を形成する表面に、スクライプラインに沿って不透明のスクライプラインパターンを形成する工程と、前記基板の裏面にレジスト膜を形成する工程と、基板表面より感光して不透明のスクライプラインパターンを基板裏面のレジスト膜に転写し、転写されたスクライプラインパターンを形成する工程と、この転写されたスクライプラインパターンに沿って基板裏面側からスクライピングする工程とからなることを特徴とするものである。

以下、本発明方法を詳細に説明する。

本発明に用いる透光性絶縁基板としてはサファイヤ基板の他、スピネル基板、ガラス基板など何れでも良い。

本発明において基板の表面に、スクライプラインに沿って形成する不透明のスクライプラインパターンは、シリコン膜、多結晶シリコン膜、

- 6 -

AB膜など、光をある程度さえ切るものであれば何れのものでも良い。

また基板の裏面に形成するレジスト膜はポジレジストに限らずネガレジストでも良い。また必要に応じて基板裏面と、レジスト膜との間に透明な下地層を介在させても良い。この透明な下地層としてはCVDシリコン酸化膜あるいはPSG膜などが考えられる。

基板裏面に転写されたスクライブラインパターンは、ウエハプロセス終了後、形成する場合にはレジスト膜のみで形成しても良いが、ウエハプロセスの工程中に基板裏面に透明な下地層を形成し、この表面にレジスト膜を形成して露光させた後、下地層をエッチングして、下地層により転写されたスクライブラインパターンを形成しても良い。また基板裏面に転写されたスクライブラインパターンは、スクライビング後、そのまま残しておいても何ら支障はないが、マウント強度の点で劣る心配がある場合にはスクライビング後、除去してからプレーキングを行

-7-

を照射する。この結果、サファイヤ基板1の表面に形成された素子領域6および不透明なスクライブラインパターン12では紫外光がさえぎられ、他の部分は紫外光が透過してポジレジスト膜14が感光し、裏面に転写される。

次に転写されたレジスト膜パターン15をマスクとして下地層となるCVDシリコン酸化膜13を選択的にエッチングして転写されたスクライブラインパターン16を形成する。

その後、~~レジスト膜パターン15を除去し~~、転写されたスクライブラインパターン16をもとにウエハを位置合わせして、基板裏面からスクライブラインパターン16、16に沿ってその間をスクライビングして、第7図に示すようにスクライブライン17を形成する。

スクライブライン17を形成した後、プレーキングを行なって多数のチップに分離する。

従って上記方法によれば、スクライブラインパターン12を基板裏面側に転写して、同一のスクライブラインパターン16を形成した後、裏面側からスクライビングするので、スクライ

-9-

特開昭57-172750(3)

なって多数のチップに分離しても良い。

次に本発明をSOSの製造プロセスに適用した場合の実施例を図面を参照して説明する。

第2図に示すようにサファイヤ基板1の表面に第1図と同様にnチャネルトランジスタ素子領域6を形成する。この場合、隣接する素子領域間のスクライブライン11に沿ってその両側にシリコン膜でスクライブラインパターン12、12を形成しておく。このスクライブラインパターン12…の平面的な配列は第8図に示すようになる。

このようにして通常のウエハプロセス終了後、第3図に示すように、サファイヤ基板1の裏面に透明なCVDシリコン酸化膜13を厚さ3000Å程度成長させてパターンニング用の透明な下地層を形成する。

次いで、第4図に示すようにCVDシリコン酸化膜13の表面に、更にポジレジスト膜14を塗布した後、第5図に示すように素子領域6を形成したサファイヤ基板1の表面側から紫外光

-8-

ブライン幅Wを50～100μm程度と従来方法に比べて大幅に縮小させることが可能となった。

なお上記実施例ではスクライブライン11に沿って両側にスクライブラインパターン12、12を形成した場合について説明したが、第9図に示すようにスクライブライン11の全面に沿ってスクライブラインパターン12を形成し、転写されたスクライブライン16はレジスト膜14を除去し、CVDシリコン酸化膜13をパターンニングして形成したものでも良い。

以上説明した如く本発明による半導体装置の製造方法によれば、基板の裏面にスクライブラインパターンを転写し、裏面側からスクライビングすることにより、素子への影響を少なくしてスクライブライン幅を大幅に縮小させ、半導体装置の高密度、高速化を可能としたものである。

4. 図面の簡単な説明

第1図はSOS半導体装置の断面図、第2図乃至第7図は本発明の一実施例によるSOS半導体

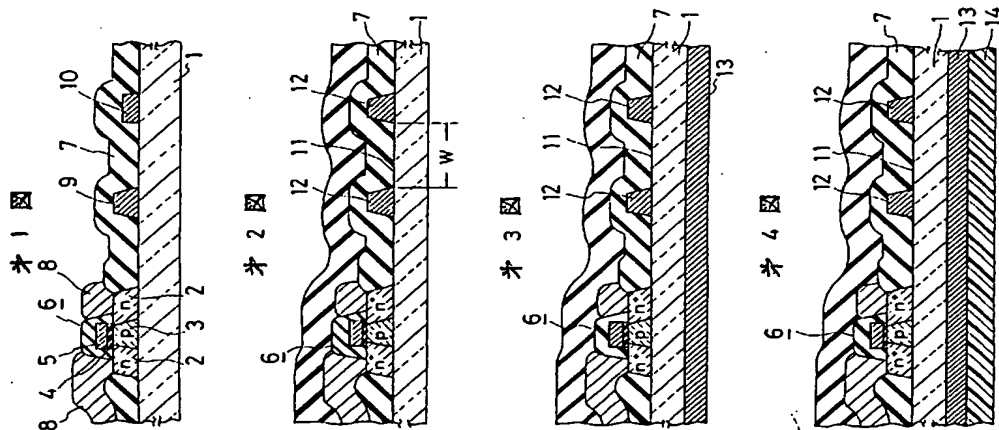
-10-

装置を製造する工程を順次示す断面図、第8図はスクライブラインパターンの配列状態を平面的に示す模式図、第9図は本発明の他の実施例によるSOS半導体装置の断面図である。

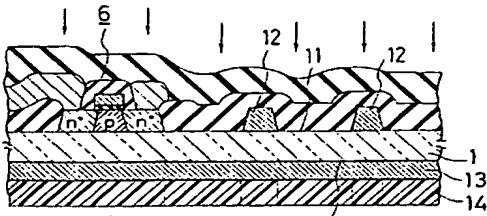
1…サファイヤ基板、6…素子領域、11…スクライブライン、12…スクライブラインパターン、13…CVDシリコン酸化膜、14…レジスト膜、15…レジスト膜パターン、16…スクライブラインパターン、17…スクライプ溝。

出願人代理人 弁理士 鈴 江 武 彦

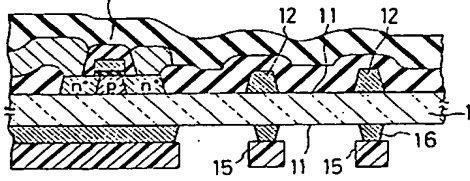
-11-



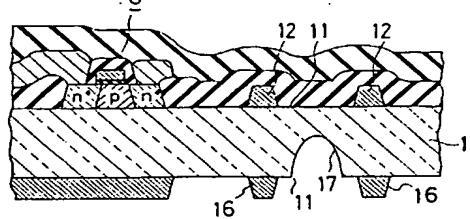
第 5 図



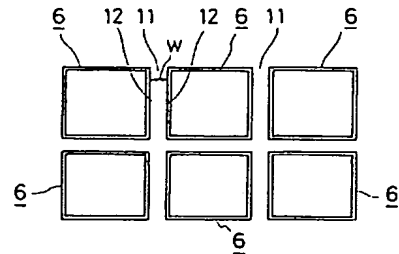
第 6 図



第 7 図



第 8 図



第 9 図

